

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-163323

(43)Date of publication of application : 18.06.1999

(51)Int.Cl.

H01L 29/78
H01L 21/336

(21)Application number : 09-324457

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 26.11.1997

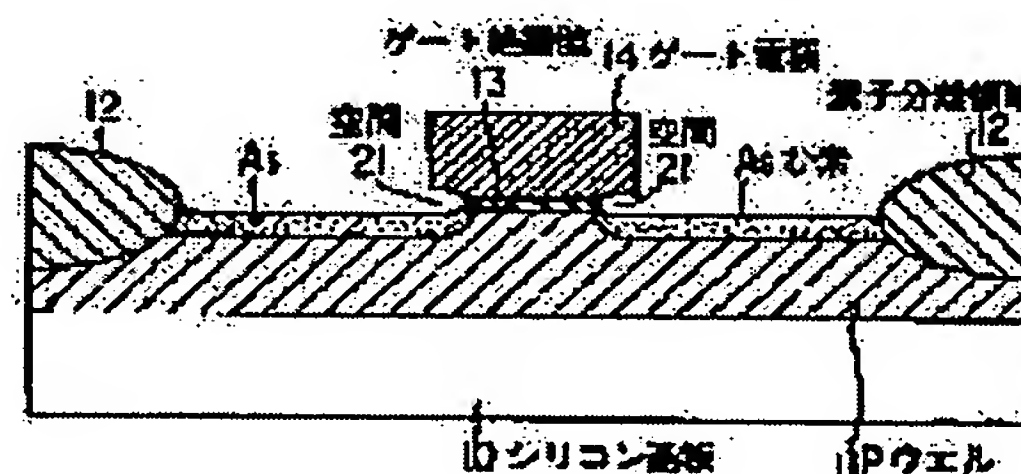
(72)Inventor : YOSHITOMI TAKASHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce parasitic capacity, enable rapid operation of an element and restrain generation of trap in an insulation film and in an interface between an insulation film and a board, by making a gate electrode longer than a gate insulation film.

SOLUTION: An insulation film is formed between a thermal oxide film, a gate electrode and a source and drain formation region in a side surface of a gate electrode 14, by performing thermal oxidation for the entire board in oxidizing atmosphere. Thereafter, for a shallow source diffusion layer and a drain diffusion layer formation is subjected to ion implantation. Thereafter, dilute hydrofluoric acid treatment is carried out, thereby removing a thermal oxide film, an insulation film is also removed and a space 21 is formed in a part corresponding to an insulation film. An overlapped length of a gate electrode 14 and a source and drain region is adjusted by adjusting an etching time in the process. An overlap parasitic capacity can be made small by cutting an overlap length. Thereafter, an insulation film sidewall is formed.



LEGAL STATUS

[Date of request for examination] 14.02.2001

[Date of sending the examiner's decision of rejection] 07.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-163323

(43) 公開日 平成11年(1999) 6月18日

(51) Int. Cl.⁸

H 0 1 L 29/78
21/336

識別記号

F I

H 0 1 L 29/78

3 0 1 G

3 0 1 Y

審査請求 未請求 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願平9-324457

(22) 出願日 平成9年(1997)11月26日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 吉富 崇

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

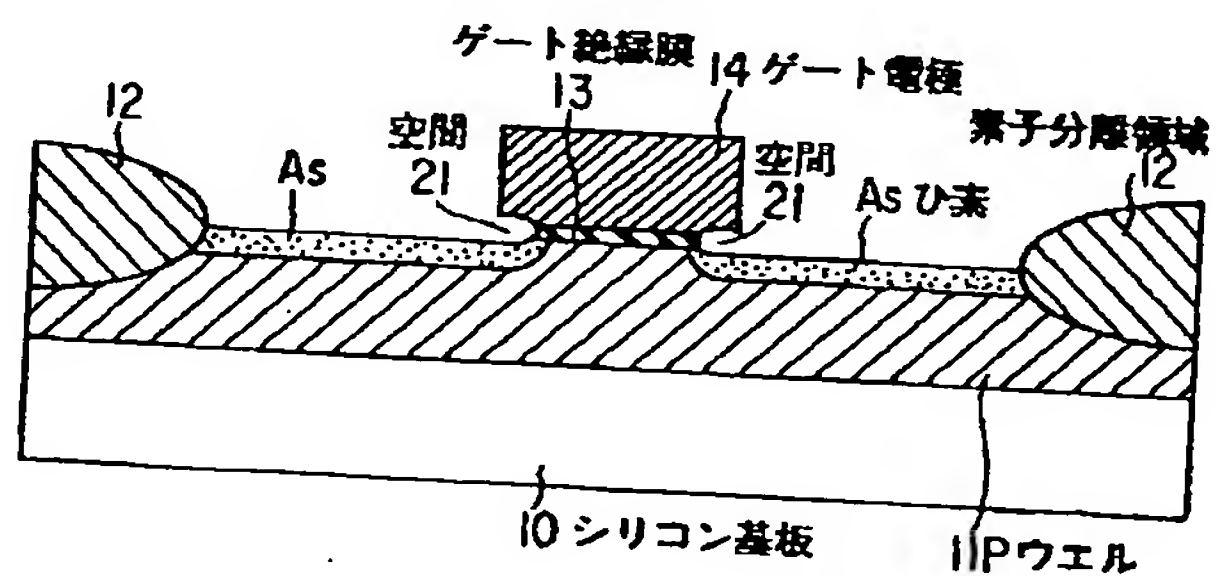
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置とこの半導体装置の製造方法

(57) 【要約】

【課題】 この発明は、高速動作の妨げとなっている寄生容量を小さくでき、さらにオーバーラップ長を短くすることができ、実効的なチャネル長は長くなり、よって短チャネル効果を抑制できる。

【解決手段】 この発明は、ゲート電極とソース及びドレイン拡散層とのオーバーラップ領域において、ゲート絶縁膜は除去され空間となっている、もしくは低誘電率の酸化膜で充填されており、また、ゲート電極を酸化することにより側壁を形成した後、イオン注入を行うことにより、ゲート電極に対してのイオン注入領域にオフセットができるようにしたものである。



【特許請求の範囲】

【請求項 1】 ソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲート電極とを有する M I S トランジスタを備えた半導体装置において、

上記ソース拡散層と上記ゲート電極との間、および上記ドレイン拡散層と上記ゲート電極との間の少なくとも一方がゲート絶縁膜よりも誘電率の低い絶縁膜で充填されており、ゲート絶縁膜に対してゲート電極の長さが長くなっていることを特徴とする半導体装置。

【請求項 2】 基板上のソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート電極とを有する M I S トランジスタを備えた半導体装置において、
上記チャネルと上記ゲート電極との間に、上記ゲート電極の長さよりも短くゲート絶縁膜が形成され、
上記ゲート電極の側面に絶縁膜側壁が推積され、
上記絶縁膜側壁と上記ゲート電極と上記基板と上記ゲート絶縁膜で囲まれた領域に空間が形成されていることを特徴とする半導体装置。

【請求項 3】 基板上のソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲート電極とを有する M I S トランジスタを備えた半導体装置を製造する半導体装置の製造方法において、

上記基板上に熱酸化によりゲート絶縁膜を形成する工程と、

このゲート絶縁膜上にポリシリコンを主体とするゲート電極を形成する工程と、

上記ゲート電極と自己整合的に、ソース拡散層およびドレイン拡散層形成用の不純物を導入する工程と、

希沸酸処理を行うことにより、上記ゲート電極とソースおよびドレイン形成領域との間の上記ゲート絶縁膜の少なくとも一部を除去し、上記ゲート絶縁膜を除去した部分に空間を形成する工程と、

上記基板上に、減圧気相成長法により熱酸化膜より誘電率の低い絶縁膜を堆積し、上記空間を上記ゲート絶縁膜よりも誘電率の低い上記絶縁膜で充填する工程と、

からなることを特徴とする半導体装置の製造方法。

【請求項 4】 基板上のソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲート電極とを有する M I S トランジスタを備えた半導体装置を製造する半導体装置の製造方法において、

上記基板上に熱酸化によりゲート絶縁膜を形成する工程と、

このゲート絶縁膜上にポリシリコンを主体とするゲート電極を形成する工程と、

上記ゲート電極と自己整合的に、ソース拡散層およびドレイン拡散層形成用の不純物を導入する工程と、

希沸酸処理を行うことにより、上記ゲート電極とソース

およびドレイン形成領域との間の上記ゲート絶縁膜の少なくとも一部を除去し、上記ゲート絶縁膜を除去した部分に空間を形成する工程と、

上記基板上に、常圧気相成長法あるいはスパッタリング法により上記空間を残したまま絶縁膜を堆積する工程と、

からなることを特徴とする半導体装置の製造方法。

【請求項 5】 上記ゲート電極と自己整合的に不純物を導入する前に、上記ゲート電極の少なくとも側面に熱酸化により酸化膜を形成する工程をさらに具備したことを特徴とする請求項 3 または請求項 4 に記載の半導体装置の製造方法。

【請求項 6】 上記絶縁膜を堆積したのち、エッチバックして上記ゲート電極の側面に絶縁膜側壁を形成する工程をさらに具備したことを特徴とする請求項 3 または請求項 4 に記載の半導体装置の製造方法。

【請求項 7】 上記絶縁膜側壁を形成したのち、上記ゲート電極および絶縁膜側壁と自己整合的に、上記ゲート電極と自己整合的に導入された上記不純物よりも深く、ソース拡散層およびドレイン拡散層形成用の不純物を導入する工程をさらに具備したことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、高速動作の要求される M I S トランジスタ等の半導体装置とこの半導体装置を製造する半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体装置への高速動作の要求は益々高くなっている。このような高速動作の要求される M I S トランジスタとして、N M O S を例として説明する。

【0003】まず、図 7 に示すように、シリコン基板 10 の表面側に、P ウェル 11 と、膜厚 600 nm の熱酸化膜からなる素子分離領域 12 を形成する。次いで、基板表面を 800℃で熱酸化することにより膜厚 6 nm の熱酸化膜を形成して、さらに基板全面に C V D（気相成長）法を用いて適宜不純物をドーブしたポリシリコンを堆積したのち、光リソグラフィーにより幅 0.25 μm の図示しないレジストパターンを形成し、これをマスクとした R I E（リアクティブ イオン エッチング）法でパターニングすることにより、ゲート絶縁膜 13 とゲート電極 14 とを形成する。

【0004】次に、図 8 に示すように、基板全面を 800℃の酸化性雰囲気中で熱酸化することにより、ゲート側面に膜厚 20 nm の熱酸化膜 15 とゲート電極とソース及びドレイン形成領域との間に膜厚 10 nm の絶縁膜 16 が形成される。その後、浅いソース拡散層およびドレイン拡散層形成用のひ素 A s を加速電圧 15 K e V、 $2 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入する。

【0005】次に、図9に示すように、基板全面にLP CVD（減圧気相成長）法により絶縁膜を膜厚100nm堆積したのちRIE法を行いエッチングして絶縁膜側壁17を形成する。その後、更に深いソース拡散層およびドレイン拡散層形成用のひ素Asを加速電圧40KeVで $5 \times 10^{15} \text{cm}^{-2}$ のドーズ量でイオン注入した後、1000℃、20秒のRTA法を用いて不純物の活性化を行う。

【0006】この場合、図10に示すように、ソース及びドレイン拡散層18のイオン注入領域上の絶縁膜においてトラップTが形成され、ホットキャリアストレスにより、その準位が占有されることにより素子特性の変動が生じ、信頼性向上のうえで問題となっていた。

【0007】また、図11に示すように、短チャネル効果の抑制を目的として、ゲート電極14側面に接する絶縁膜側壁18を絶縁膜の堆積とRIE法により形成し、イオン注入を行う側壁を二重に（絶縁膜側壁19を形成）する方法も検討されている。しかしこの場合、寄生抵抗を抑制する観点から、側壁幅は薄くなくてはならず、薄い側壁を制御性よく形成することが困難であり、問題となっていた。

【0008】また、図12に示すように、ゲート電極14に絶縁膜側壁20を絶縁膜の堆積とRIE法により形成した後、ソース及びドレインに対して逆導電型の不純物 BF_2^+ （フッ化ホウ素）を斜めにイオン注入することにより、実効的なチャネル長を長くする方法も検討されている。この場合、チャネル不純物濃度の場所依存性が現れ、逆短チャネル効果が生じるという問題があった。

【0009】

【発明が解決しようとする課題】上記したように、高速動作の要求されるMISトランジスタにおいては、ゲート絶縁膜の薄膜化に伴うソースおよびドレイン拡散層とゲート電極との間に存在する寄生容量、ゲートの微細化に伴い深刻となる短チャネル効果、イオン注入によりダメージを受けた絶縁膜中および絶縁膜と基板との界面に発生するトラップによる信頼性の低下が問題となっている。

【0010】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、ゲート絶縁膜の薄膜化に伴うソースおよびドレイン拡散層とゲート電極との間に存在する寄生容量を低減でき、素子の高速動作を可能とし、イオン注入によりダメージを受けた絶縁膜が除去され、その絶縁膜中および絶縁膜と基板との界面でのトラップの発生を抑制でき、素子の信頼性が向上する半導体装置とこの半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】この発明の半導体装置は、ソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲート電極とを有するMISトランジスタを備えたものにおいて、上記ソース拡散層と上記ゲート電極との間、および上記ドレイン拡散層と上記ゲート電極との間の少なくとも一方がゲート絶縁膜よりも誘電率の低い絶縁膜で充填されており、ゲート絶縁膜に対してゲート電極の長さが長くなっている。

【0012】この発明の半導体装置は、基板上的ソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート電極とを有するMISトランジスタを備えたものにおいて、上記チャネルと上記ゲート電極との間に、上記ゲート電極の長さよりも短くゲート絶縁膜が形成され、上記ゲート電極の側面に絶縁膜側壁が堆積され、上記絶縁膜側壁と上記ゲート電極と上記基板と上記ゲート絶縁膜で囲まれた領域に空間が形成されている。

【0013】この発明の半導体装置の製造方法は、基板上的ソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲート電極とを有するMISトランジスタを備えた半導体装置を製造するものにおいて、上記基板上に熱酸化によりゲート絶縁膜を形成する工程と、このゲート絶縁膜上にポリシリコンを主体とするゲート電極を形成する工程と、上記ゲート電極と自己整合的に、ソース拡散層およびドレイン拡散層形成用の不純物を導入する工程と、希沸酸処理を行うことにより、上記ゲート電極とソースおよびドレイン形成領域との間の上記ゲート絶縁膜の少なくとも一部を除去し、上記ゲート絶縁膜を除去した部分に空間を形成する工程と、上記基板上に、減圧気相成長法により熱酸化膜より誘電率の低い絶縁膜を堆積し、上記空間を上記ゲート絶縁膜よりも誘電率の低い上記絶縁膜で充填する工程とからなる。

【0014】この発明の半導体装置の製造方法は、基板上的ソース拡散層とドレイン拡散層とこれらの間のチャネルの上方にゲート絶縁膜を介して形成されているゲート電極とを有するMISトランジスタを備えた半導体装置を製造するものにおいて、上記基板上に熱酸化によりゲート絶縁膜を形成する工程と、このゲート絶縁膜上にポリシリコンを主体とするゲート電極を形成する工程と、上記ゲート電極と自己整合的に、ソース拡散層およびドレイン拡散層形成用の不純物を導入する工程と、希沸酸処理を行うことにより、上記ゲート電極とソースおよびドレイン形成領域との間の上記ゲート絶縁膜の少なくとも一部を除去し、上記ゲート絶縁膜を除去した部分に空間を形成する工程と、上記基板上に、常圧気相成長法あるいはスパッタリング法により上記空間を残したまま絶縁膜を堆積する工程とからなる。

【0015】

【発明の実施の形態】以下、図面を参照してこの発明の実施形態を説明する。図1から図5を用いて、半導体装置としてNMOSを例としてその製造方法を説明する。

【0016】まず、図1に示すように、シリコン基板1

Oの表面側に、Pウェル11と、膜厚600nmの熱酸化膜からなる素子分離領域12を形成する。次いで、基板表面を800℃で熱酸化することにより膜厚6nmの熱酸化膜を形成して、さらに基板全面にCVD（気相成長）法を用いて適宜不純物をドーピングしたポリシリコンを堆積したのち、光リソグラフィにより幅0.25μmの図示しないレジストパターンを形成し、これをマスクとしたRIE（リアクティブ イオン エッチング）法でパターニングすることにより、ゲート絶縁膜13とゲート電極14とを形成する。

【0017】次に、図2に示すように、基板全面を800℃の酸化性雰囲気中で熱酸化することにより、ゲート電極14の側面に膜厚20nmの熱酸化膜15とゲート電極とソース及びドレイン形成領域との間に膜厚10nmの絶縁膜16が形成される。

【0018】その後、図3に示すように、浅いソース拡散層およびドレイン拡散層形成用のひ素Asを加速電圧15KeV、 $2 \times 10^{14} \text{ cm}^{-2}$ のドーズ量でイオン注入する。

【0019】次に、図4に示すように、希沸酸処理を行うことにより、熱酸化膜15が除去され、絶縁膜16も除去され、絶縁膜16に対応する部分に空間21が形成される。この工程においてエッチング時間を調整することにより、ゲート電極14とソース及びドレイン領域のオーバーラップ長を調整する。たとえば、0.3%の希沸酸により180secの処理を行うことにより、オーバーラップ長が300オームストロングとなる。

【0020】この結果、オーバーラップ長を短くすることにより、オーバーラップ寄生容量を小さくすることができる。次に、図5に示すように、基板全面にLPCVD（減圧気相成長）法により熱酸化膜より誘電率の低い絶縁膜（たとえば、SiO₂、あるいはBPSSG等）を膜厚100nm堆積したのち、RIE法を行いエッチバックして絶縁膜側壁17を形成する。この際、上記空間21の部分は絶縁膜側壁17により埋められることにより、低誘電率絶縁膜22が形成（充填）される。その後、更に深いソース拡散層およびドレイン拡散層形成用のひ素Asを加速電圧40KeVで $5 \times 10^{15} \text{ cm}^{-2}$ イオン注入した後、1000℃、20秒のRTA（ラピッド サーマルアニール：熱的に急速なアニール）法を用いて不純物の活性化を行う。

【0021】なお、この実施形態においては、図2の工程で熱酸化により絶縁膜16を形成したが、図2の工程で熱酸化により絶縁膜16を形成せず、図4の工程で希沸酸処理を行うことでゲート絶縁膜13の幅を細らせることによりオーバーラップ寄生容量を低減することも可能である。

【0022】この場合、あらたにソース及びドレイン形成領域が酸化工程において狭められることがなく、オーバーラップ領域の高抵抗化を回避することが可能である。

る。一方、浅い拡散層を形成し、また短チャネル効果を抑制する観点からは、イオン注入に先だって絶縁膜16を形成しておくことがこのましい。

【0023】さらに、上述した実施形態においては、図5に示す、絶縁膜側壁17の形成においてはステップカバレッジの良いLPCVD法を用いたため、空間21は絶縁膜側壁17により埋められたが、これに限らず、他の実施の形態として、ステップカバレッジの良くないATCVD（アトモスフェリックCVD：常圧気相成長法）法、もしくはスパッタリング法を用いた場合、図6に示すように、空間21はそのまま残り、オーバーラップ領域の寄生容量はより小さくなる。

【0024】上記したように、この実施形態で得られる半導体装置では、ゲート電極とソース及びドレイン拡散層とのオーバーラップ領域、つまりゲート電極とソース領域及びゲート電極とドレイン領域とのそれぞれのオーバーラップ部において、ゲート絶縁膜は除去され空間となっている、もしくは低誘電率の絶縁膜で充填されているため、高速動作の妨げとなっている寄生容量は小さくなる。

【0025】また、イオン注入を行う前にゲート電極を熱酸化して側面に熱酸化膜することにより、ゲート電極と自己整合的にイオン注入を行う際にオフセットができるため、オーバーラップ長を短くすることができ、実効的なチャネル長は長くなり、よって短チャネル効果は抑制される。

【0026】また、イオン注入によりダメージを受けたゲート絶縁膜は除去されているため、このゲート絶縁膜において形成されるトラック順位の影響を除去することができ、素子の信頼性は向上する。

【0027】なお、以上ではこの発明のこの実施形態をNMOSにより説明したが、PMOSでも全く同様の効果が得られる。その他、この発明の趣旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0028】

【発明の効果】以上詳述したように、この発明によれば、ゲート絶縁膜の薄膜化に伴うソースおよびドレイン拡散層とゲート電極との間に存在する寄生容量を低減でき、素子の高速動作を可能とし、イオン注入によりダメージを受けた絶縁膜が除去され、その絶縁膜中および絶縁膜と基板との界面でのトラップの発生を抑制でき、素子の信頼性が向上する半導体装置とこの半導体装置の製造方法を提供できる。

【図面の簡単な説明】

【図1】図1は、この発明の実施形態を示すものであり、半導体装置の製造工程を示す断面図である。

【図2】図2は、図1に続く製造工程を示す断面図である。

【図3】図3は、図2に続く製造工程を示す断面図である。

【図4】図4は、図3に続く製造工程を示す断面図である。

【図5】図5は、図4に続く製造工程を示す断面図である。

【図6】図6は、図4に続く他の製造工程を示す断面図である。

【図7】図7は、従来の半導体装置の製造工程を示す断面図である。

【図8】図8は、図7に続く製造工程を示す断面図である。

【図9】図9は、図8に続く製造工程を示す断面図である。

【図10】図10は、図9の製造工程を拡大して示す断面図である。

【図11】図11は、従来の他の半導体装置を示す断面

図である。

【図12】図12は、従来の他の半導体装置を示す断面図である。

【符号の説明】

10…シリコン基板

11…Pウェル

12…素子分離領域

13…ゲート絶縁膜

14…ゲート電極

15…熱酸化膜

16…絶縁膜

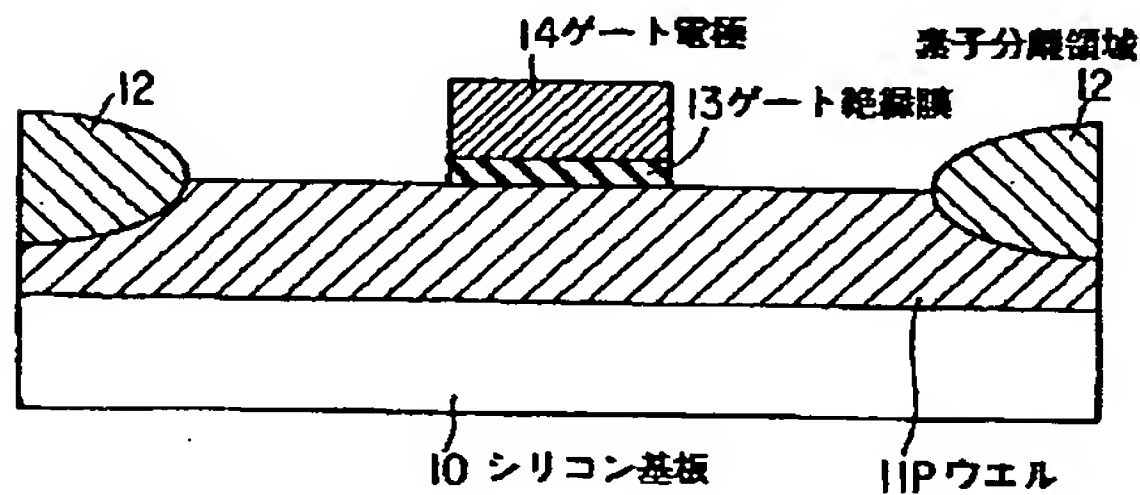
17…絶縁膜側壁

18…ソースおよびドレイン拡散層

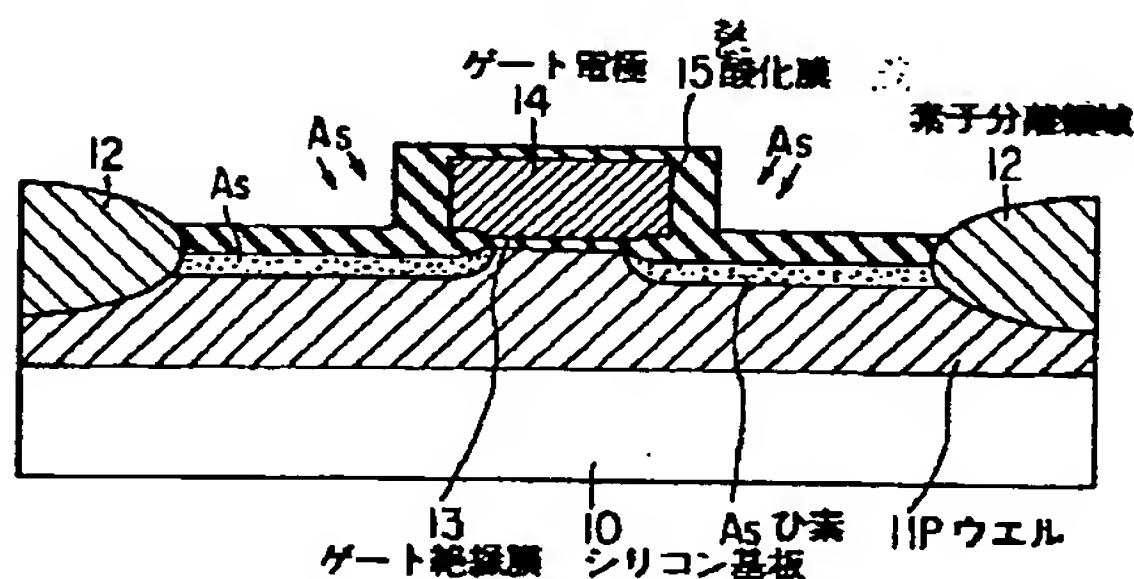
21…空間

22…低誘電率絶縁膜

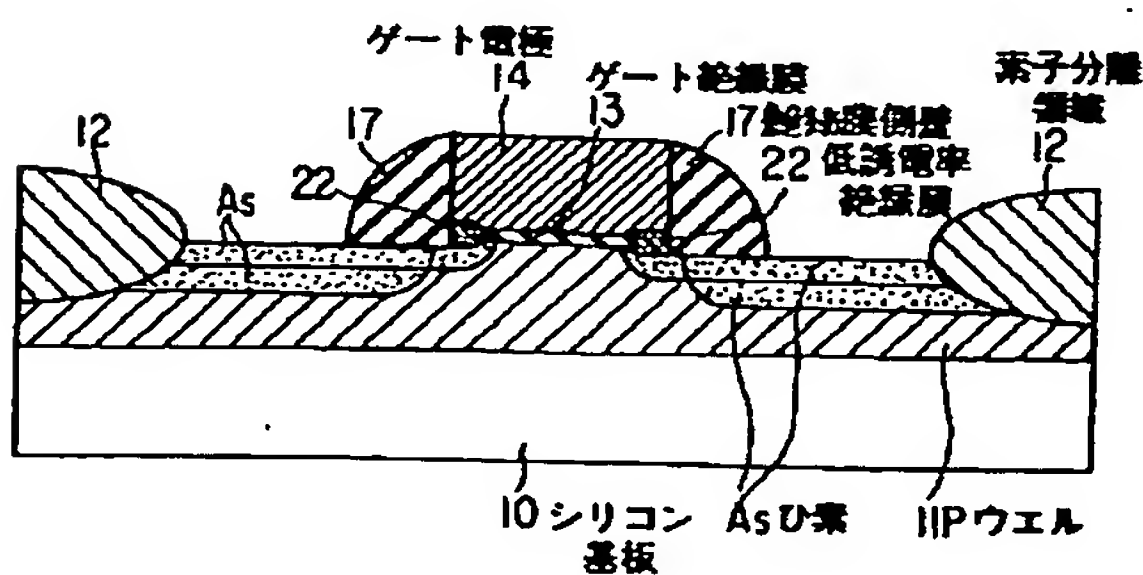
【図1】



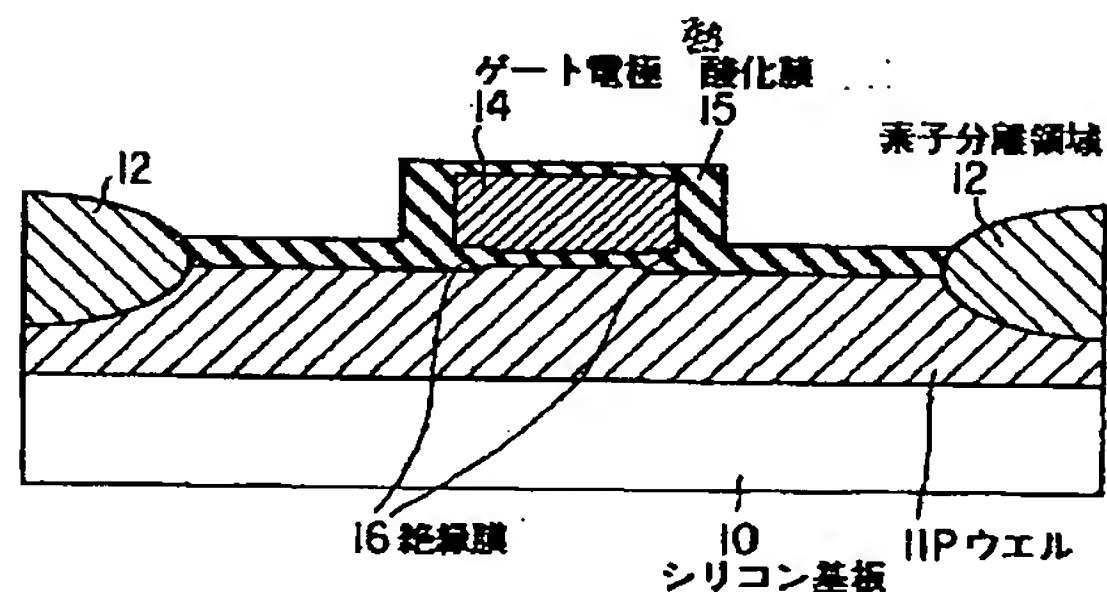
【図3】



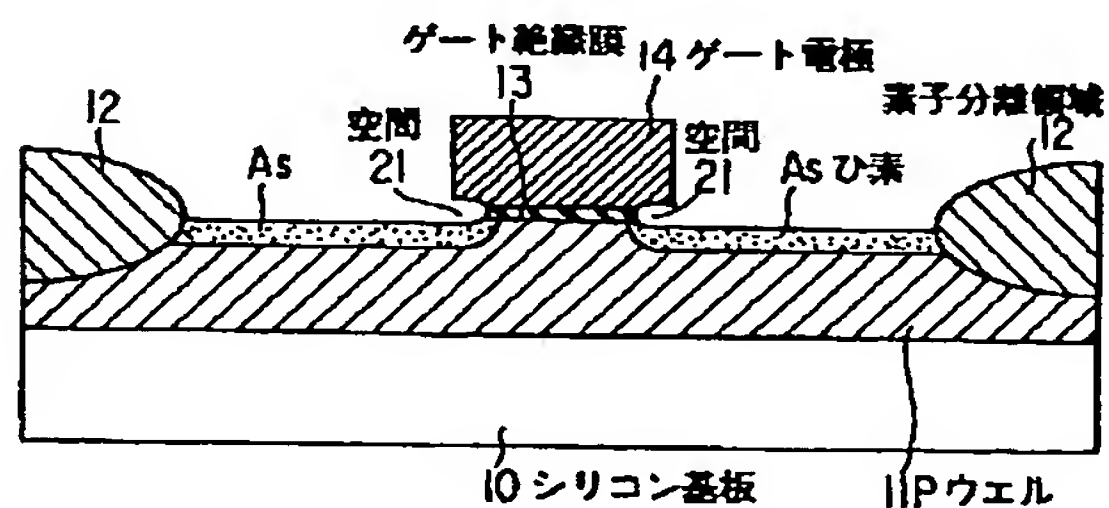
【図5】



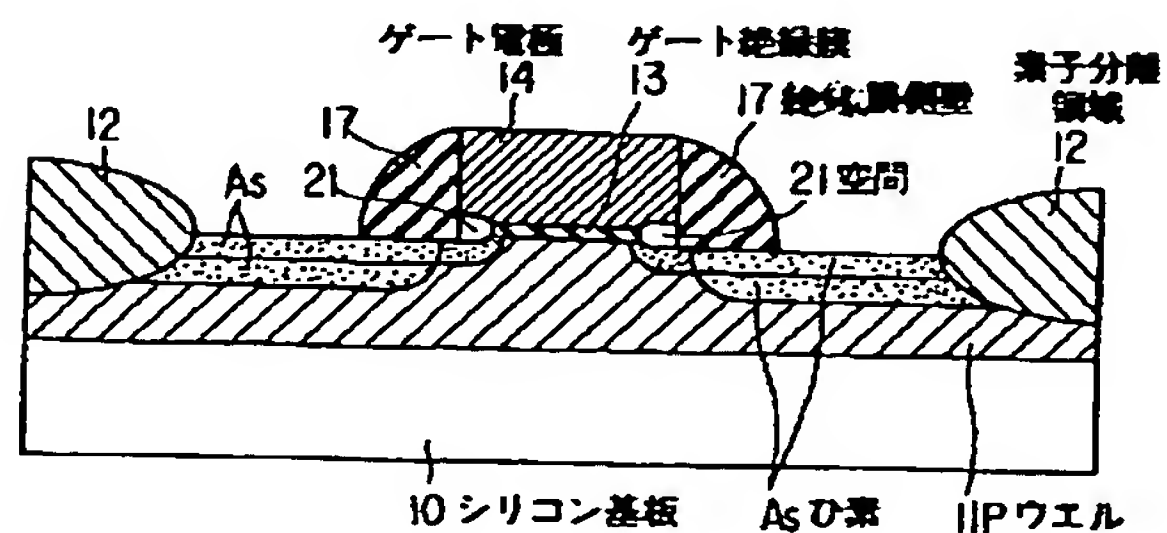
【図2】



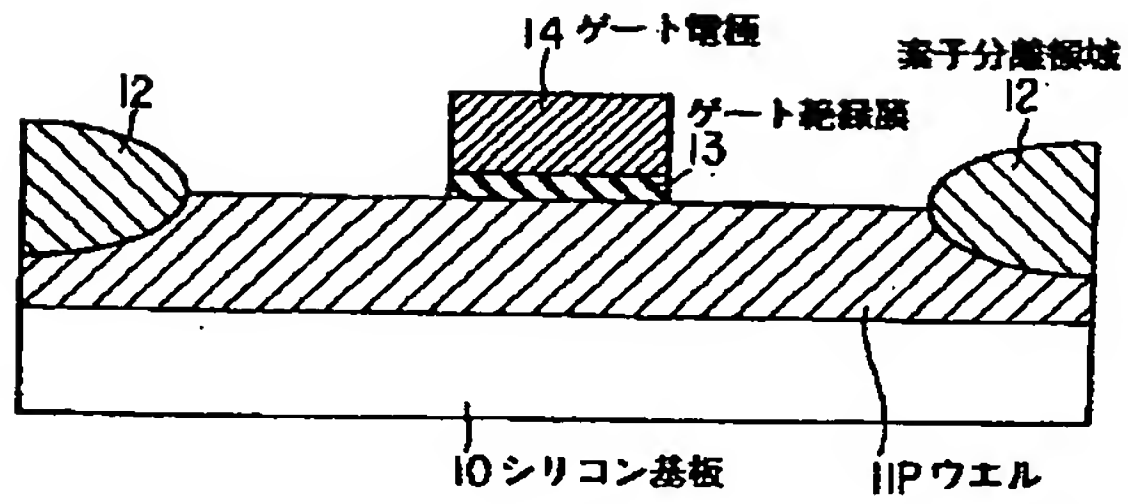
【図4】



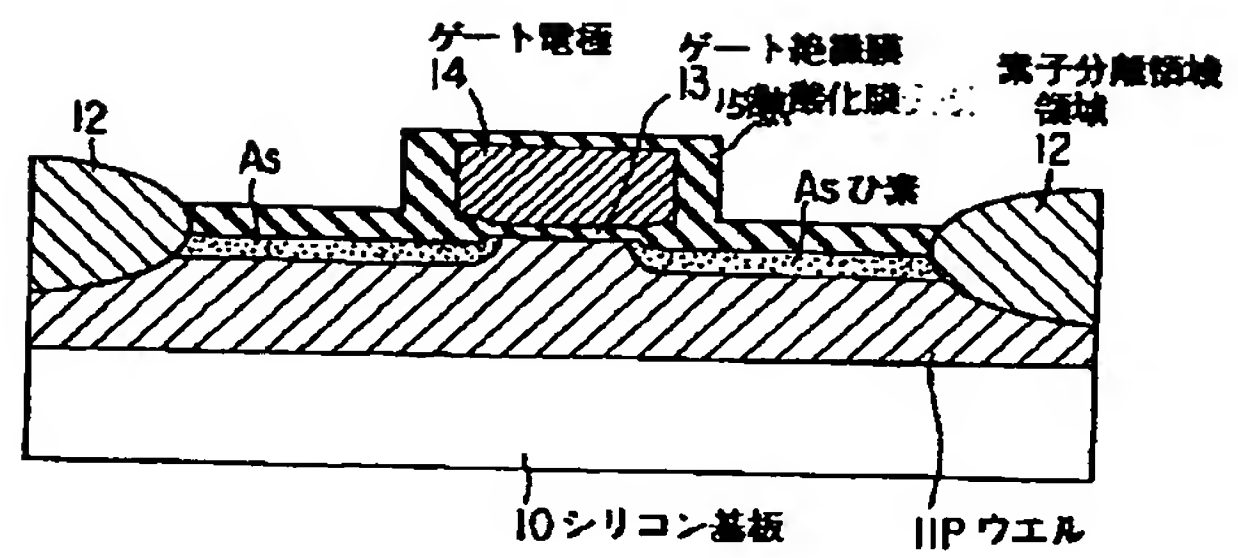
【図6】



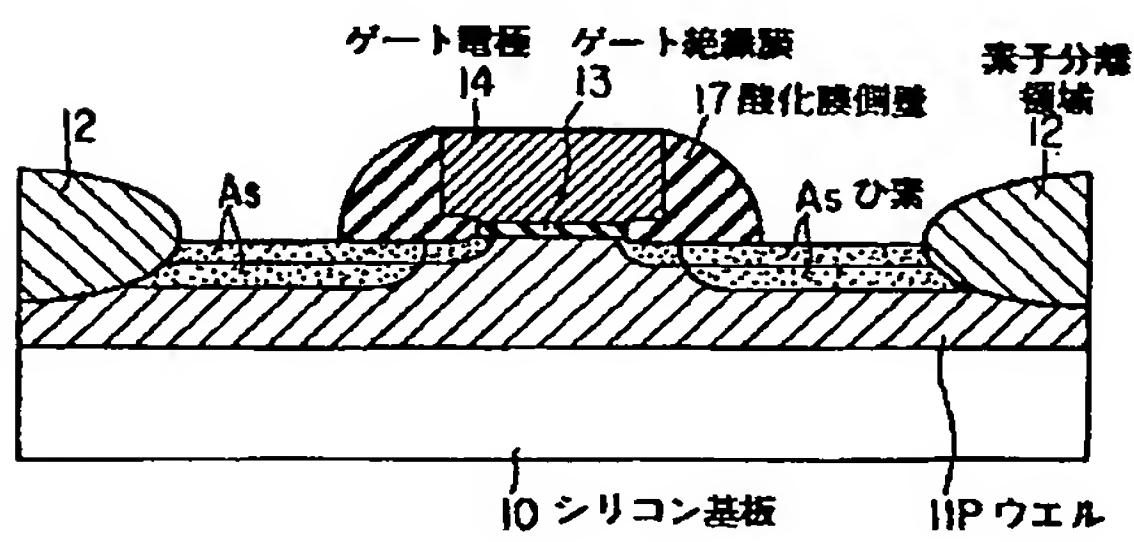
【図 7】



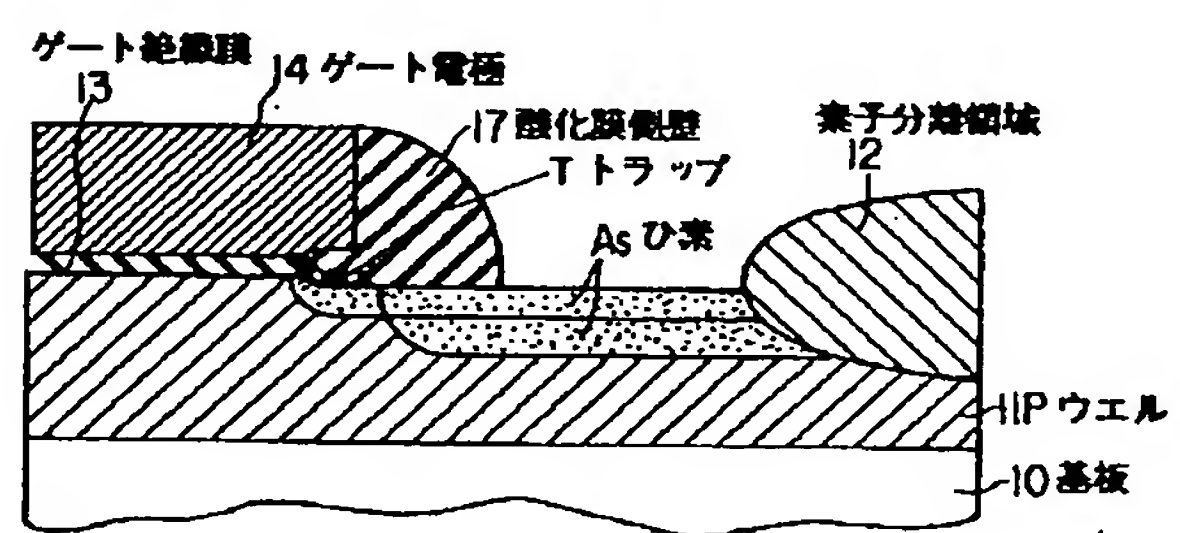
【図 8】



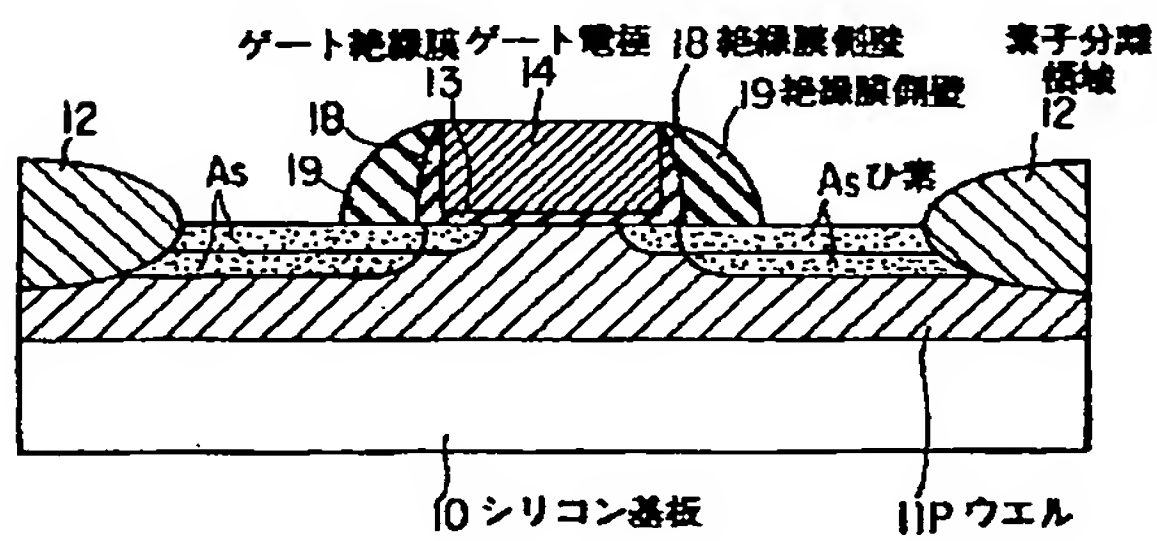
【図 9】



【図 10】



【図 11】



【図 12】

